

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-55059

(43)公開日 平成10年(1998)2月24日

(51)Int.Cl.⁶

G 0 3 F 1/08
H 0 1 L 21/027

識別記号

府内整理番号

F I

G 0 3 F 1/08
H 0 1 L 21/30

技術表示箇所

A
5 0 2 P

審査請求 未請求 請求項の数6 OL (全11頁)

(21)出願番号

特願平8-210713

(22)出願日

平成8年(1996)8月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都国分寺市東恋ヶ窪三丁目1番地1

(72)発明者 白井 精一郎

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

最終頁に続く

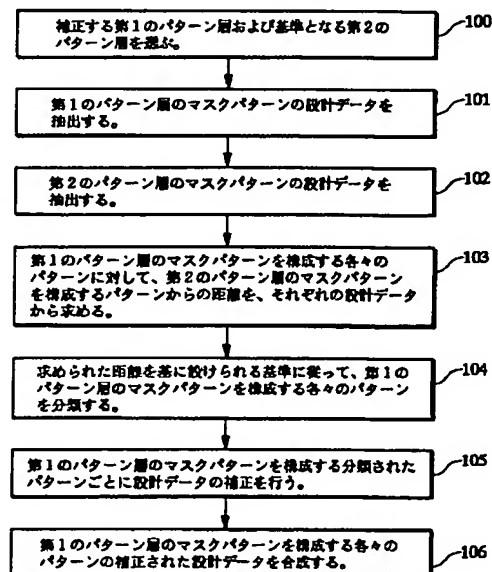
(54)【発明の名称】 フォトマスクの製造方法および半導体集積回路装置の製造方法

(57)【要約】

【課題】 半導体集積回路パターンの寸法精度を向上することのできる技術を提供する。

【解決手段】 フォトマスクを修正する際に、第1のパターン層のマスクパターンを構成する各々のパターンに対して、基準となる第2のパターン層のマスクパターンを構成するパターンからの距離を求め、得られた距離を基に設けられる基準に従って第1のパターン層のマスクパターンを構成する各々のパターンの設計データを分類した後、分類したパターンごとに設計データの補正を行い、次いで、補正された設計データを合成して、フォトマスクの第1のパターン層のマスクパターンの設計データを作成する。

図 3



1

・【特許請求の範囲】

・【請求項1】 フォトマスクの第1のパターン層のマスクパターンを補正する際に、前記第1のパターン層のマスクパターンの設計データを抽出する工程と、第2のパターン層のマスクパターンの設計データを抽出する工程と、前記第1のパターン層のマスクパターンを構成する各々のパターンに対して、前記第2のパターン層のマスクパターンを構成するパターンからの距離をそれぞれの前記設計データから求める工程と、前記距離を基に設けられる基準に従って、前記第1のパターン層のマスクパターンを構成する各々の前記パターンを分類し、分類された前記パターンごとに前記設計データの補正を行う工程と、前記第1のパターン層のマスクパターンを構成する各々の前記パターンの補正された設計データを合成する工程とを有し、補正された第1のパターン層のマスクパターンの設計データに基づいて描画用データを作成する工程と、前記描画用データに基づいてマスク基板上に遮光パターンを形成する工程とを有することを特徴とするフォトマスクの製造方法。

・【請求項2】 請求項1記載のフォトマスクの製造方法において、前記第1のパターン層のマスクパターンの設計データを抽出する工程、前記第2のパターン層のマスクパターンの設計データを抽出する工程、前記第1のパターン層のマスクパターンを構成する各々のパターンに対して、前記第2のパターン層のマスクパターンを構成するパターンからの距離をそれぞれの前記設計データから求める工程、前記距離を基に設けられる基準に従って、前記第1のパターン層のマスクパターンを構成する各々の前記パターンを分類し、分類された前記パターンごとに前記設計データの補正を行う工程、前記第1のパターン層のマスクパターンを構成する各々の前記パターンの補正された設計データを合成する工程は、前記第1のパターン層と前記第2のパターン層をパターンデータ補正装置に入力した後、前記パターンデータ補正装置上において自動的に行われることを特徴とするフォトマスクの製造方法。

・【請求項3】 請求項1記載のフォトマスクの製造方法において、前記第1のパターン層のマスクパターンはn層目のマスクパターンであり、前記第2のパターン層のマスクパターンは1層目から(n-1)層目のマスクパターンのうちの1層以上のマスクパターンであることを特徴とするフォトマスクの製造方法。

・【請求項4】 請求項1記載のフォトマスクの製造方法において、前記第1のパターン層のマスクパターンが描画されたフォトマスクを用いて半導体ウエハ上に形成されるレジストマスクのパターン寸法は、前記第2のパターン層のマスクパターンが描画されたフォトマスクを用いて半導体ウエハ上に形成される加工膜の形状または配置に依存することを特徴とするフォトマスクの製造方法。

2

・【請求項5】 請求項1記載のフォトマスクの製造方法において、前記設計データの補正される量は、前記距離を変数とする関数で表されることを特徴とするフォトマスクの製造方法。

・【請求項6】 フォトマスクの第1のパターン層のマスクパターンを補正する際に、前記第1のパターン層のマスクパターンの設計データを抽出する工程と、第2のパターン層のマスクパターンの設計データを抽出する工程と、前記第1のパターン層のマスクパターンを構成する各々のパターンに対して、前記第2のパターン層のマスクパターンを構成するパターンからの距離をそれぞれの前記設計データから求める工程と、前記距離を基に設けられる基準に従って、前記第1のパターン層のマスクパターンを構成する各々の前記パターンを分類し、分類された前記パターンごとに前記設計データの補正を行う工程と、前記第1のパターン層のマスクパターンを構成する各々の前記パターンの補正された設計データを合成する工程とを有し、補正された第1のパターン層のマスクパターンの設計データに基づいて描画用データを作成する工程と、前記描画用データに基づいてマスク基板上に遮光パターンを形成する工程と、前記遮光パターンを有するフォトマスクを用いて、半導体ウエハの表面上のレジスト膜に対して前記補正された第1のパターン層のマスクパターンを転写する工程とを有することを特徴とする半導体集積回路装置の製造方法。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 本発明は、露光技術に関し、特に、半導体集積回路装置の一工程である露光工程において用いるフォトマスクの製造技術およびそれを用いた半導体集積回路パターンの転写技術に適用して有効な技術に関するものである。

・【0002】

・【従来の技術】 露光工程において使用するフォトマスクのマスクパターンは、図11に示すように、システム設計（工程100）、論理設計（工程101）、回路設計（工程102）、そして設計の最終工程であるレイアウト設計（工程103）を経て作成される。

・【0003】

レイアウト設計におけるマスクパターン図は多角形や長方形の集合として表現され、各図形の対置と層はパターンデータ作成装置上にマスクパターンの設計データとして管理される。ここで、「層」とは露光工程ごとに必要な各々のフォトマスクに属する図形のことである。

・【0004】

レイアウト設計においてマスクパターンの作成および検証が終了した後、上記マスクパターンの設計データをもとにレチクルが作成される。

・【0005】

まず、マスクパターンの設計データが計算機によって電子線描画装置の描画用データに変換される（工程104）。次に、マスク基板上にクロム（Cr）

等からなる金属遮光膜を堆積した後、続いて、その金属遮光膜の表面上に感電子レジスト膜を塗布し、次いで、電子線描画装置によって感電子レジスト膜にマスクパターンを描画する（工程105）。次いで、現像処理、金属遮光膜のエッチング、感電子レジスト膜の除去を順次行うことによって、レチクルが作成される（工程106）。

・【0006】なお、レチクルとはガラス基板上に設計寸法の1～10倍（通常5倍）のマスクパターンがないし数チップ配置、形成してあり、半導体ウエハを逐次移動しながら露光するステップアンドリピート方式の縮小投影露光装置に用いるフォトマスクである。

・【0007】次に、上記レチクルおよび半導体ウエハを縮小投影露光装置にセットし、両者の正確な位置合わせを行った後、紫外線を一定時間照射することによって半導体ウエハの表面上に塗布されたレジスト膜にマスクパターンを焼き付け（工程107）、次いで、現像処理を行うことによってレジスト膜のパターン（レジストマスク）が半導体ウエハ上に形成される（工程108）。

・【0008】次に、レジストマスクの外観検査および寸法測定を行う（工程109）。ここで、外観不良を呈した半導体ウエハおよび寸法規格を満足しない半導体ウエハは除外され、これらの原因の究明および対策がなされる。

・【0009】この後、レジストマスクを用いた下地加工膜のエッチングおよびレジスト膜の除去を順次行うことによって、半導体ウエハ上に下地加工膜のパターンが形成される。

・【0010】なお、フォトマスクの製造方法およびその製造技術に関しては、例えば、昭和60年6月20日、日経マグロウヒル社発行、徳山巍、「MOSLSI製造技術」P145に記載されている。

・【0011】

・【発明が解決しようとする課題】本発明者は、前記半導体集積回路パターンの形成方法において、以下の問題点があることを見い出した。

・【0012】図12に、一例としてMISFET（Metal Insulator Semiconductor FieldEffect Transistor）を構成するゲート電極層のマスクパターンおよび半導体基板と配線とを接続するために層間絶縁膜に設けられるコンタクトホール層のマスクパターンのレイアウトを示す。

・【0013】図12に示すように、ゲート電極FG₁～FG₃はL₁とL₂の異なる間隔（L₂ > L₁）で配置されており、ゲート電極FG₁とゲート電極FG₂との間にコンタクトホールCN₁～CN₆；ゲート電極FG₂とゲート電極FG₃との間にコンタクトホールCN₇～CN₁₂が配置されている。なお、コンタクトホールCN₁～CN₁₂は全て同じ寸法を有する。

・【0014】図13は、図12に示したゲート電極層の

マスクパターンが描画されたレチクルおよびコンタクトホール層のマスクパターンが描画されたレチクルを用いて形成される半導体基板の断面図であり、図12のA-A'方向の断面図を示す。

・【0015】半導体基板32上に形成されたゲート電極32a～32cの上方には、配線と半導体素子とを絶縁するための層間絶縁膜33が設けられており、層間絶縁膜33の表面上にはポジ型レジスト膜からなるレジストマスク34a～34cが形成されている。このレジストマスク34a～34cには、前記図12に示したコンタクトホールCN₁～CN₁₂を層間絶縁膜33に形成するための開孔パターン35a、35bが形成されている。

・【0016】ところが、上記層間絶縁膜33の膜厚は、ゲート電極32a～32cの配置間隔に依存し、狭いL₁間隔で配置されたゲート電極FG₁とゲート電極FG₂の間では層間絶縁膜33は厚く、広いL₂間隔で配置されたゲート電極FG₂とゲート電極FG₃の間では層間絶縁膜33は薄くなる。このため、層間絶縁膜33の表面上に塗布されたレジスト膜は、ゲート電極FG₁とゲート電極FG₂間の層間絶縁膜33が厚いところで薄く、ゲート電極FG₂とゲート電極FG₃間の層間絶縁膜33が薄いところで厚い。

・【0017】従って、図13に示すように、レジスト膜が厚い領域の開孔パターン35b（コンタクトホールCN₉：CN₁₀）のパターン寸法（S_bは、レジスト膜が薄い領域の開孔パターン35a（コンタクトホールCN₁～CN₆）のパターン寸法（S_a）よりも小さくなってしまい、レチクル上で同じパターン寸法を有するコンタクトホールを半導体基板32上のレジスト膜に転写しても、レジストマスク34a～34cの開孔パターン35a、35bのパターン寸法にバラツキが生じてしまう。

・【0018】このレジストマスクのパターン寸法のバラツキを抑えるためには、設計データを電子線描画装置の描画用データへ変換する工程へ戻り、コンタクトホール層のマスクパターンの描画用データを修正した後、再び、図11に示した半導体集積回路パターンの作成フローに従って、修正された描画用データによってレチクルを作成し、このレチクルを用いて半導体ウエハ上にレジストマスクを作成しなくてはならない。

・【0019】しかしながら、従来のマスクパターンの描画用データでは、コンタクトホールCN₁～CN₁₂は一つのデータ群として処理されるため、特定のコンタクトホールのみの描画用データを修正することができない。このため、コンタクトホールCN₁～CN₁₂を全て大きくするあるいは小さくする修正方法がとられており、各々のコンタクトホールに最適なパターン寸法を描画用データとすることができない。

・【0020】従って、上記方法によって修正された描画用データから作成されるレチクルを用いて、半導体ウエハ上にレジストマスクを形成しても、開孔パターンのパ

5

ターン寸法の制御性は悪く、所望する開孔パターンのパターン寸法は得られない。

- ・【0021】なお、レイアウト設計に戻り、特定のコンタクトホールのレイアウトを設計し直すことも可能であるが、レイアウトの設計に多大の時間を要してしまう。
 - ・【0022】本発明の目的は、半導体集積回路パターンの寸法精度を向上することのできる技術を提供することにある。

・【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

•[0024]

・【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

・(1) 本発明のフォトマスクの製造方法は、フォトマスクの第1のパターン層のマスクパターンを補正する際に、前記第1のパターン層のマスクパターンの設計データを抽出する工程と、第2のパターン層のマスクパターンの設計データを抽出する工程と、前記第1のパターン層のマスクパターンを構成する各々のパターンに対して、前記第2のパターン層のマスクパターンを構成するパターンからの距離をそれぞれの前記設計データから求める工程と、前記距離を基に設けられる基準に従って、前記第1のパターン層のマスクパターンを構成する各々の前記パターンを分類し、分類された前記パターンごとに前記設計データの補正を行う工程と、前記第1のパターン層のマスクパターンを構成する各々の前記パターンの補正された設計データを合成する工程とを有し、補正された第1のパターン層のマスクパターンの設計データに基づいて描画用データを作成する工程と、前記描画用データに基づいてマスク基板上に遮光パターンを形成する工程とを有している。

・【0025】(2) また、本発明の半導体集積回路装置の製造方法は、フォトマスクの第1のパターン層のマスクパターンを補正する際に、前記第1のパターン層のマスクパターンの設計データを抽出する工程と、第2のパターン層のマスクパターンの設計データを抽出する工程と、前記第1のパターン層のマスクパターンを構成する各々のパターンに対して、前記第2のパターン層のマスクパターンを構成するパターンからの距離をそれぞれの前記設計データから求める工程と、前記距離を基に設けられる基準に従って、前記第1のパターン層のマスクパターンを構成する各々の前記パターンを分類し、分類された前記パターンごとに前記設計データの補正を行う工程と、前記第1のパターン層のマスクパターンを構成する各々の前記パターンの補正された設計データを合成する工程とを有し、補正された第1のパターン層のマスクパターンの設計データに基づいて描画用データを作成する工程と、前記描画用データに基づいてマスク基板上に

6

遮光パターンを形成する工程と、前記遮光パターンを有するフォトマスクを用いて、半導体ウエハの表面上のレジスト膜に対して前記補正された第1のパターン層のマスクパターンを転写する工程とを有している。

・【0026】上記した手段によれば、フォトマスクの第1のパターン層のマスクパターンを構成する各々のパターンに対して、第2のパターン層のマスクパターンが描画されたフォトマスクを用いて半導体ウエハ上に形成される下地加工膜の段差の影響を考慮した補正が行えるので、半導体ウエハの表面上に塗布されたレジスト膜に、第1のパターン層のマスクパターンが描画されたフォトマスクを用いて形成される各々のパターンの寸法を最適化することができる。

•[0027]

・【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

・【0028】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

・【0029】本発明の一実施の形態であるフォトマスクの修正技術、ならびにこのフォトマスクを用いた露光技術を図1～図10を用いて説明する。

・【0030】まず、フォトマスクのマスクパターンの補正方法について説明する。図1は、本実施の形態のフォトマスクのマスクパターンの補正に用いるパターンデータ補正装置を示す。なお、このパターンデータ補正装置は、レイアウト設計において設計データを作成する際に使用するパターンデータ作成装置と同一のものであってもよい。

【0031】パターンデータ補正装置1は、ワークステーションシステム2と大形計算機システム3とを有しており、ワークステーションシステム2と大形計算機システム3とは、データ伝送用のケーブル4を通じて電気的に接続されている。

【0032】ワークステーションシステム2は、入力装置2aと、ワークステーション本体2bと、ディスプレイ2cと、ワークステーション用の外部記憶装置2dとを有している。

【0033】入力装置2aは、例えばキーボードやマウス等、ワークステーション本体2bに対して所定の情報を入力するための装置である。ワークステーション本体2bは、入力装置2aから入力された情報に基づいて、マスクパターンの補正に関する所定の情報処理を行う装置である。ディスプレイ2cは、補正中のマスクパターンおよびマスクパターンの設計データを表示するための出力装置である。

【0034】大形計算機システム3は、大形計算機本体3aと大形計算機用の外部記憶装置3bとを有してお
り、外部記憶装置3bには補正前のマスクパターン、補
正中のマスクパターン、および検証後のマスクパターン

の設計データが格納されている。

・【0035】次に、上記パターンデータ補正装置1を用いたマスクパターンの補正方法について、図2および図3を用いて説明する。なお、以下の説明では、図12に示したコンタクトホールCN₁～CN₁₂のマスクバターンを有するフォトマスクを形成する場合を例とする。

・【0036】図2に本発明の一実施の形態であるフォトマスクのマスクパターンの補正方法を説明するフロー図を示す。

・【0037】検査工程109において、半導体ウエハ上にコンタクトホールCN₁～CN₁₂を形成するためのレジストマスクにパターン寸法のバラツキが生じ、フォトマスクを修正する必要が生じると、コンタクトホール層のマスクパターンの設計データの補正が行われる（工程110）。

・【0038】設計データの補正および検証が終了すると、従来と同様の方法で、補正されたコンタクトホール層のマスクパターンの設計データは電子線描画装置の描画用データへ変更され（工程105）、この描画用データによってフォトマスクが作成される（工程106）。この後、作成されたフォトマスクを用いて半導体ウエハ上にコンタクトホールCN₁～CN₁₂を形成するためのレジストマスクが半導体ウエハの表面上に作成される（工程107、108）。

・【0039】次に、図2に示した設計データ補正工程110におけるコンタクトホール層のマスクパターンの設計データの補正方法を、図3の工程100～工程106に添って詳細に説明する。

・【0040】まず、パターンデータ補正装置上において、補正する第1のパターン層と基準となる第2のパターン層を選ぶ（工程100）。ここで、第1のパターン層は第2のパターン層よりも上層であって、第1のパターン層のマスクパターンが描画されたフォトマスクを用いて半導体ウエハ上に形成されたレジストマスクのパターン寸法は、第2のパターン層のマスクパターンが描画されたフォトマスクを用いて半導体ウエハ上に形成された下地加工膜の形状または配置に大きく影響される。本実施の形態では、第1のパターン層はコンタクトホール層、第2のパターン層はゲート電極層となる。

・【0041】これらコンタクトホール層およびゲート電極層が選ばれると、コンタクトホール層のマスクバターンの設計データとゲート電極層のマスクバターンの設計データが大型計算機システムの外部記憶装置から自動的に抽出される（工程101、102）。

・【0042】次に、コンタクトホール層の一つのコンタクトホール、例えばコンタクトホールCN₉のパターンが選ばれると、ゲート電極層のゲート電極FG₂、FG₃のパターンが選ばれ、次いで、コンタクトホールCN₉とゲート電極FG₂、FG₃との距離L'、L"がそれぞれの設計データから自動的に算出される。

・【0043】同様にして、コンタクトホール層を構成する全てのコンタクトホールCN₁～CN₁₂に対してゲート電極FG₁～FG₃からの距離が算出される（工程103）。

・【0044】次に、上記距離を基に設けられる基準に従って、コンタクトホール層を構成するコンタクトホールCN₁～CN₁₂が自動的に分類され（工程104）、次いで、分類されたコンタクトホールごとに設計データ上でパターン寸法の補正が自動的に行われる（工程105）。

・【0045】なお、上記パターン寸法の補正される量・(△)は、距離L'、L"を変数とする下記の関数で表され、

$$\Delta = f(L', L'')$$

例えば、パターン寸法の補正される量(△)は、

$$\Delta = aL' + bL'' + c$$

で表される。ここで、a、b、cは、実験結果またはシミュレーション結果から得られる定数である。

・【0046】この後、コンタクトホールCN₁～CN₁₂の設計データが合成され、再びコンタクトホール層のマスクパターンの設計データが自動的に作成される（工程106）。

・【0047】検証を行った後に、補正されたコンタクトホール層のマスクパターンの設計データは電子線描画装置に入力される描画用データへ変更される。

・【0048】このように、本実施の形態によれば、ゲート電極FG₁～FG₃の段差の影響を受けて、ゲート電極FG₁～FG₃の上方に塗布されるコンタクトホールCN₁～CN₁₂を形成するためのレジスト膜の開孔パターンの寸法がばらついても、各々のコンタクトホールのゲート電極FG₁～FG₃からの距離を基に設けられる基準に従って、マスクパターンの設計データ上でコンタクトホールCN₁～CN₁₂のパターン寸法が補正されるので、半導体ウエハの表面上に塗布されたレジスト膜に形成されるコンタクトホールCN₁～CN₁₂に対する各々の開孔パターンの寸法を最適化することができる。

・【0049】また、コンタクトホール層のマスクバターンの設計データの補正是、上記基準に従ってコンタクトホールCN₁～CN₁₂を分類し、分類されたコンタクトホールごとに自動的に補正されるので、短時間でマスクバターンの補正を行うことができる。

・【0050】次に、補正された前記マスクバターンの設計データを用いて作成される本実施の形態のフォトマスクについて説明する。

・【0051】図4に、フォトマスクPMの要部断面図を示す。同図において、5は合成石英ガラス等からなるマスク基板、6a～6dはCr等からなる金属遮光膜、7a～7cはマスク基板露出部である。なお、基板露出部といつても、必ずしも石英ガラス基板そのものが露出しているとは限らず、上記基板そのものが基板本体となる

石英ガラス基板とその表面に形成された薄い透明膜とか
ら構成されていても良い。

・【0052】次に、上記フォトマスクPMの作成方法を
図5の工程100～工程109に沿って説明する。

・【0053】まず、合成石英ガラス板の表面を研磨、洗
浄して図4に示したマスク基板5を作成した後（工程1
00）、その主面上の全面に、例えば $0.05 \sim 0.3 \mu\text{m}$
程度のCrからなる金属遮光膜をスパッタリング法等によ
つて堆積する（工程101）。

・【0054】続いて、その金属遮光膜上の全面に、例え
ば膜厚 $0.1 \sim 0.8 \mu\text{m}$ の感電子レジスト膜をスピンドル
コート法等によって塗布した後（工程102）、そのレジ
スト膜を、例えば電子線露光装置による直接描画法によ
つて露光し、金属遮光膜上の感電子レジスト膜に所望のコ
シタクトホールのマスクパターンを転写する（工程10
3）。

・【0055】この電子線直接描画処理に際しては、上記
マスクパターンの設計データ補正方法によって作成さ
れ、かつ、パターンデータ補正装置の検証後、外部記憶
装置に格納されたマスクパターンの設計データに基づい
て作成された描画用データに従って、電子線をマスク基
板の指定位置に照射し、上記感電子レジスト膜上に所定
形状のコンタクトホールのパターンを転写する。

・【0056】その後、上記感電子レジスト膜がポジ型の
場合は、露光部分を所定の現像液によって除去した後
・（工程104）、残された感電子レジスト膜をエッチング
マスクとして上記金属遮光膜をウエットエッチング法
等によってエッチングし、所定形状のコンタクトホール
のマスクパターンをマスク基板5上に形成する（工程1
05）。

・【0057】次いで、レジスト膜除去工程106、金属
遮光膜欠け修正工程107、金属遮光膜残り修正工程1
08およびマスク洗浄工程109を経てフォトマスクP
Mが形成される。

・【0058】次に、前記方法によって作成されたフォト
マスクPMを用いた露光技術について説明する。

・【0059】まず、図6に、本実施の形態の露光工程で
使用する縮小投影露光装置8を示す。この露光に適用可
能なレンズ式ステップアンドリピート方式i線5：1縮
小投影露光装置としては、例えば日本光学（Nikon）
のi線ステッパーNRS-1755i7A（NA=0.
5、露光エリア= 17.5 mm^2 角）がある。

・【0060】同図において、9は、例えば5～8インチ
のシリコン（Si）単結晶等からなる半導体ウエハ、1
0は露光源である高圧水銀ランプ、11は集光ミラー、
12は第1平面反射鏡、13はシャッタ、14はフ
ライアイレンズ、15はコヒーレンスファクタ σ （例え
ば、 $\sigma=0.5$ ）を調整するためのアーチャ、16はi
線（ 365 nm ）の場合にi線よりも短波長の遠紫外を
カットするためのショートカットフィルタ、17は第2

平面反射鏡、18は転写領域の範囲を決めるためのマス
クブロード、19はケーラー（Koehler）正面
を形成するためのコンデンサレンズ、20はフォトマスク
PMを保持して少なくともZ軸方向に微動可能なマス
クホルダ、21は一般に多数のレンズ群からなる縮小投
影レンズであり、上記例示した縮小投影露光装置8では
上記半導体ウエハ9側がテレセントリックに構成されて
いる。なお、フォトマスクPM側もテレセントリックに
構成することもできる。22は半導体ウエハ9を吸着す
るウエハ吸着台、23はZ軸移動台（高さ方向）、24
はX軸移動台（水平横方向）、25はY軸移動台（水平
前後方向）であり、上記X軸移動台24とともにXYス
テージを構成する。

・【0061】露光処理に際しては、高圧水銀ランプ10
から放射された光を、第1平面反射鏡12、シャッタ1
3、フライアイレンズ14、アーチャ15、ショート
カットフィルタ16、第2平面反射鏡17、マスクブ
ロード18、コンデンサレンズ19、フォトマスクPM
および縮小投影レンズ21を介して、半導体ウエハ9の
表面に照射する。

・【0062】次に、前記フォトマスクPMを用いて半導
体ウエハ上に塗布されたレジスト膜にコンタクトホール
のマスクパターンを転写し、続いて、レジスト膜下に設
けられている絶縁膜にコンタクトホールを形成するフォ
トエッチング工程について、図7～図10を用いて簡単
に説明する。

・【0063】フォトエッチング工程は、半導体ウエハ上
にレジストマスクを形成するフォトリソグラフィ工程、
上記レジストマスクを用いて絶縁膜をエッチングするエ
ッティング工程、および上記レジストマスクを除去するレ
ジスト膜除去工程に分類される。

・【0064】まず、フォトリソグラフィ工程を、図7に
示した工程100～工程108および図8に示した半導
体ウエハの要部断面図を用いて説明する。

・【0065】初めに、半導体ウエハ26の表面または裏
面の異物を除去し、現像処理後のレジストマスクの半導
体ウエハ26への接着性を増強させるためのレジスト塗
布前処理を行う（工程100）。

・【0066】次に、図8に示すように、塗布前処理の終
わった半導体ウエハ26に、回転塗布（Spin Coating）
法によって、 $1 \sim 2 \mu\text{m}$ の厚さのレジスト膜27を均一
に塗布する（工程101）。この方法は、半導体ウエハ
26をスピンドル上に置き、レジストを $1 \sim 5 \text{ m/s}$
滴下した後、半導体ウエハ26を $2000 \sim 5000 \text{ rpm}$ で回転させ、レジストを遠心力で飛散させて半導
体ウエハ26の表面にレジスト膜27を形成する方法である。

・【0067】なお、半導体集積回路装置の製造に用いら
れているフォトレジスト材料は、ネガ型紫外線レジスト
とポジ型紫外線レジストであるが、高解像度が得られる

- ことから、主にポジ型紫外線レジストが用いられる。
- ・【0068】次に、塗布直後のレジスト膜27に多く含まれている残留溶剤を揮発させて、感光時の光化学反応を安定させるために、ホットプレートを用い、半導体ウエハ26をペークする（工程102）。
 - ・【0069】次に、半導体ウエハ26は、所定のフォトマスクと共に前記縮小投影露光装置8にセットし、正確な位置合わせを行った後、波長0.365μmの紫外線（i線）を一定時間照射してマスクパターンを焼き付ける（工程103）。
 - ・【0070】次に、現像液を半導体ウエハ26の表面に滴化させて表面張力をを利用して盛り、所定の時間現像処理を行った後、純水でのリソス、回転乾燥を連続的に行う（工程104）。これによって、図8に示すように、露光時に急峻な光の振幅強度が得られた領域のレジスト膜27が除去されて、レジスト膜27に開孔パターン28a～28cが形成される。
 - ・【0071】続いて、半導体ウエハ26を120℃前後でペークして完全に乾燥させると共に、レジスト膜27の半導体ウエハ26への接着性、熱架橋高分子化により耐ドライエッティングを向上させる（工程105）。
 - ・【0072】次いで、金属顕微鏡で半導体ウエハ26の外観を検査し（工程106）、さらに、レジスト膜27に形成された開孔パターン28a～28cの寸法測定および位置合わせの検査を行う（工程107, 108）。
 - ・【0073】次に、エッティング工程およびレジスト膜除去工程を図9および図10に示した半導体ウエハ26の要部断面図を用いてそれぞれ説明する。
 - ・【0074】まず、エッティングを良好に行うために半導体ウエハ26の表面処理を行う。代表的な表面処理としては、レジスト膜の現像時に発生する残渣（スカム）を取り除くO₂プラズマ処理がある。
 - ・【0075】次に、図9に示すように、バーニングされたレジスト膜27a～27dをマスクとして、半導体ウエハ26に設けられた絶縁膜29をドライエッティング法で加工し、絶縁膜29にコンタクトホール31a～31cを形成する。
 - ・【0076】絶縁膜29が酸化シリコン膜（SiO₂）で構成されている場合は、例えば、CF₄にH₂を混合したガスまたはCHF₃ガスなどを用いたマイクロ波プラズマエッティング法によって、酸化シリコン膜のエッティングを行う。
 - ・【0077】次に、下地膜30の表面のダメージ層を除去するため、下地膜30の表面をわずかにエッティングする低ダメージアッシャ処理を行う。
 - ・【0078】続いて、半導体ウエハ26の外観を検査し、必要に応じて特殊なパターンでエッティング後の絶縁膜29の厚さを測定し、所定のエッティング量となっているか否かを判定する。
 - ・【0079】次に、図10に示すように、不要になった

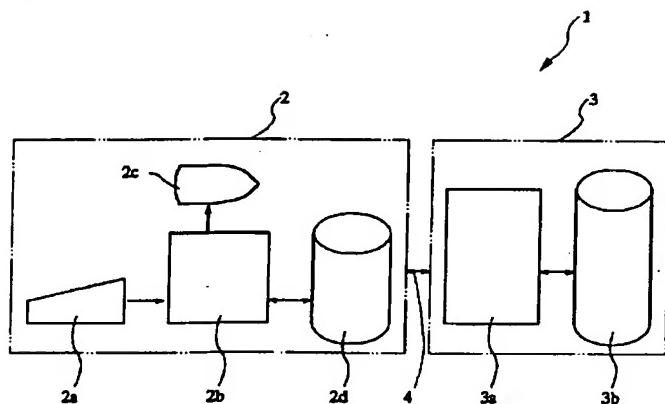
- レジスト膜27を酸化プラズマにより灰化（Ashing）するアッシャ除去法によって、半導体ウエハ26から剥離する。その後、アッシャ除去では除去しきれないエッチング工程で付着した半導体ウエハ26の表面の金属イオンや微小異物を除去するため、洗浄処理を行う。洗浄処理としては、NH₄OF/H₂O₂洗浄、HCl/H₂O₂洗浄またはNH₄OH/CH₃COOH洗浄等による方法がある。
- ・【0080】最後に、外観不良の早期発見、また、汚染した半導体ウエハ26を次工程へ払い出さないために、金属顕微鏡で半導体ウエハ26の外観を検査して半導体ウエハ26のフォトエッチング工程が完了する。
 - ・【0081】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
 - ・【0082】たとえば、前記実施の形態では、半導体集積回路パターンのうちのコンタクトホールに適用した場合について説明したが、フォトマスクによって形成される半導体集積回路パターンのすべてに適用可能である。
 - ・【0083】また、前記実施の形態では、基準となるパターンにゲート電極のみを用いたが、コンタクトホールよりも下部に位置する2つ以上のパターンを用いてもよい。
 - ・【0084】
 - ・【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。
 - ・【0085】本発明によれば、半導体ウエハ上に形成されるレジストマスクのパターン寸法が最適化されて、レジストマスクの寸法精度が向上するので、このレジストマスクを用いて加工、形成される半導体集積回路パターの寸法精度が向上する。
 - ・【図面の簡単な説明】
 - ・【図1】本発明の一実施の形態であるフォトマスクのマスクパターンの設計データの補正に用いるパターンデータ補正装置の説明図である。
 - ・【図2】本発明の一実施の形態である半導体集積回路装置の設計、製造工程を説明する工程図である。
 - ・【図3】本発明の一実施の形態であるフォトマスクのマスクパターンの設計データの補正方法を説明する工程図である。
 - ・【図4】フォトマスクの要部断面図である。
 - ・【図5】図4のフォトマスクの製造工程を説明する工程図である。
 - ・【図6】フォトマスクを用いる縮小投影露光装置の説明図である。
 - ・【図7】フォトマスクを用いたフォトリソグラフィ工程を説明する工程図である。

- ・【図8】フォトマスクを用いたフォトリソグラフィ工程を説明するための半導体ウエハの要部断面図である。
- ・【図9】フォトマスクを用いたドライエッチング工程を説明するための半導体ウエハの要部断面図である。
- ・【図10】フォトマスクを用いたレジスト除去工程を説明するための半導体ウエハの要部断面図である。
- ・【図11】従来の半導体集積回路装置の設計、製造工程を説明する工程図である。
- ・【図12】MISFETの要部パターンレイアウト図である。
- ・【図13】図12のマスクパターンがレイアウトされたフォトマスクを用いて形成される図12のA-A'方向の半導体基板の要部断面図である。
- ・【符号の説明】
- 1 パターンデータ補正装置
- 2 ワークステーションシステム
- 2 a 入力装置
- 2 b ワークステーション本体
- 2 c ディスプレイ
- 2 d 外部記憶装置
- 3 大形計算機システム
- 3 a 大形計算機本体
- 3 b 外部記憶装置
- 4 ケーブル
- 5 マスク基板
- 6 a 金属遮光膜
- 6 b 金属遮光膜
- 6 c 金属遮光膜
- 6 d 金属遮光膜
- 7 a マスク基板露出部
- 7 b マスク基板露出部
- 7 c マスク基板露出部
- 8 縮小投影露光装置
- 9 半導体ウエハ
- 10 高圧水銀ランプ
- 11 集光ミラー
- 12 第1平面反射鏡
- 13 シャッタ
- 14 フライアイレンズ
- 15 アバーチャ
- 16 ショートカットフィルタ
- 17 第2平面反射鏡
- 18 マスクブラインド

- 19 コンデンサレンズ
- 20 マスクホルダ
- 21 縮小投影レンズ
- 22 ウエハ吸着台
- 23 Z軸移動台
- 24 X軸移動台
- 25 Y軸移動台
- 26 半導体ウエハ
- 27 レジスト膜
- 27 a レジスト膜
- 27 b レジスト膜
- 27 c レジスト膜
- 27 d レジスト膜
- 28 a 開孔パターン
- 28 b 開孔パターン
- 28 c 開孔パターン
- 29 絶縁膜
- 30 下地膜
- 31 a コンタクトホール
- 31 b コンタクトホール
- 31 c コンタクトホール
- 32 半導体基板
- 32 a ゲート電極
- 32 b ゲート電極
- 32 c ゲート電極
- 33 層間絶縁膜
- 34 a レジストマスク
- 34 b レジストマスク
- 34 c レジストマスク
- 35 a 開孔パターン
- 35 b 開孔パターン
- FG₁ ~ FG₃ ゲート電極
- CN₁ ~ CN₁₂ コンタクトホール
- PM フォトマスク
- L₁ ゲート電極FG₁とゲート電極FG₂との距離
- L₂ ゲート電極FG₂とゲート電極FG₃との距離
- L' コンタクトホールCN₉とゲート電極FG₂との距離
- L" コンタクトホールCN₉とゲート電極FG₃との距離
- S₁ 開孔パターンの寸法
- S₂ 開孔パターンの寸法

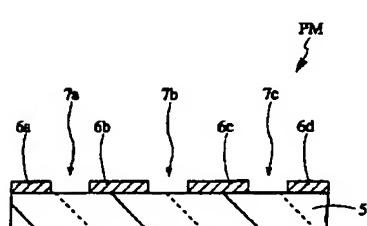
【図1】

図1



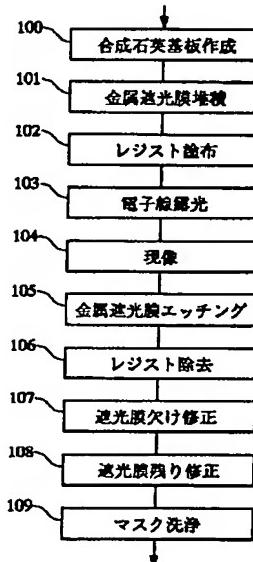
【図4】

図4



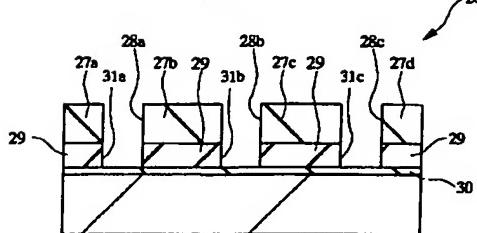
【図5】

図5



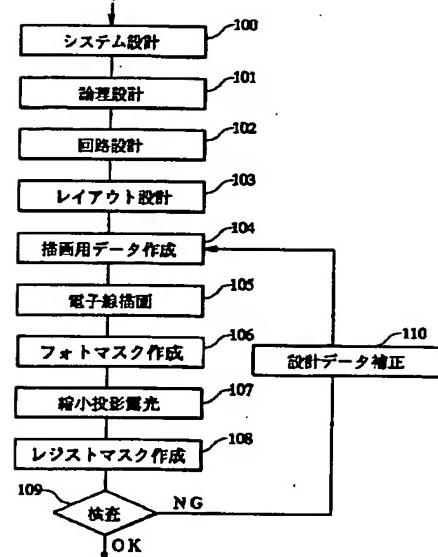
【図9】

図9



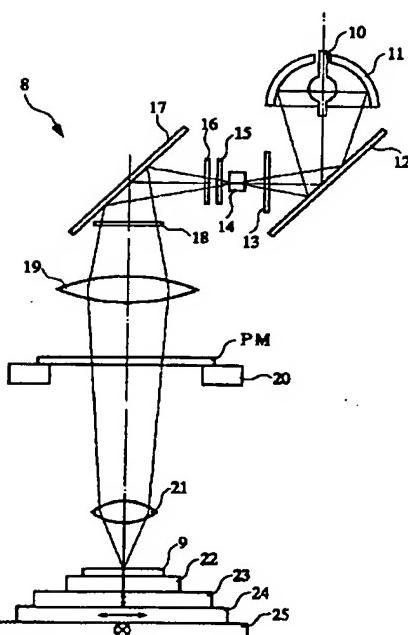
【図2】

図2



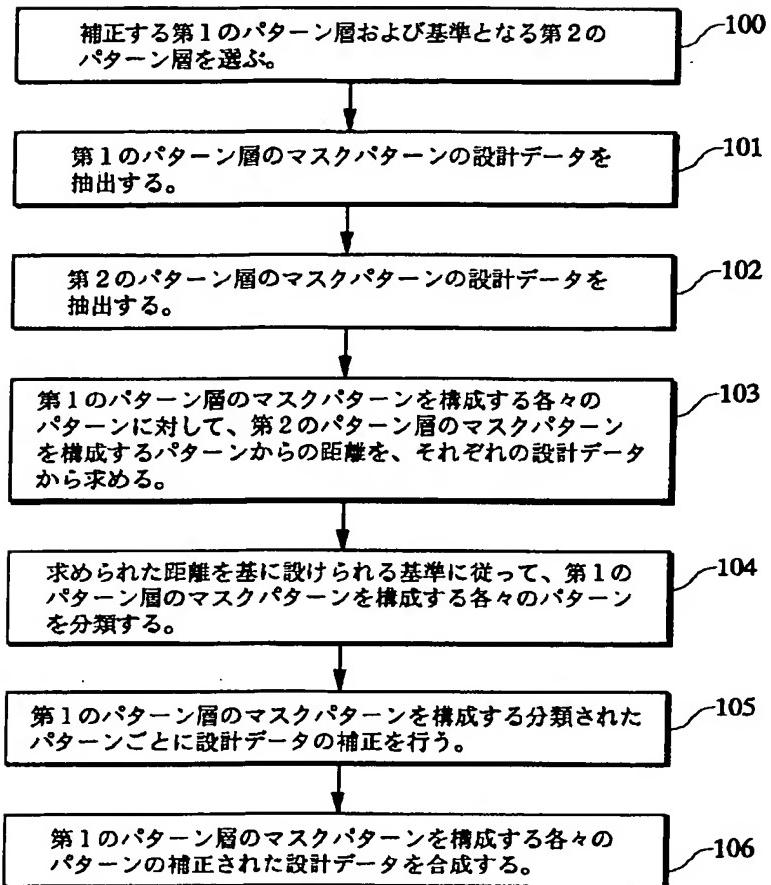
【図6】

図6



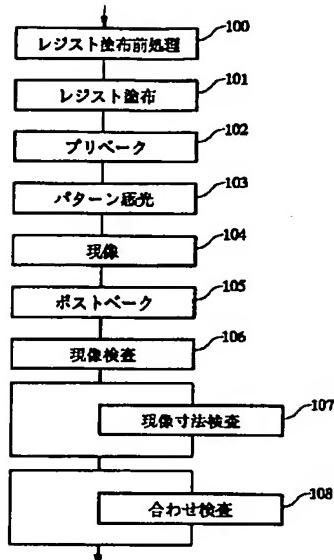
・【図3】

図 3



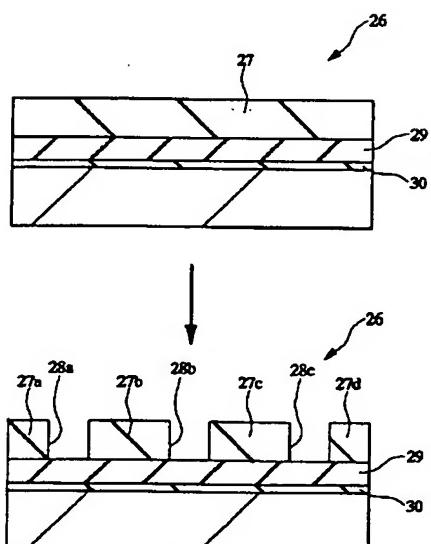
・【図7】

図 7



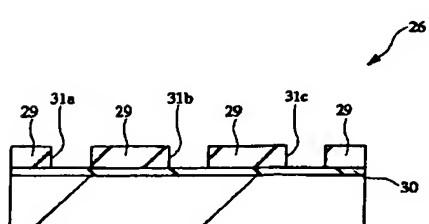
・【図8】

図 8



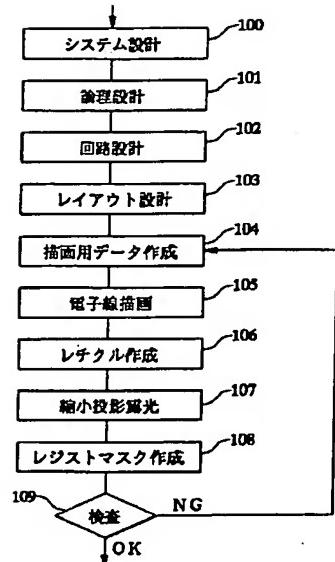
・【図10】

図 10



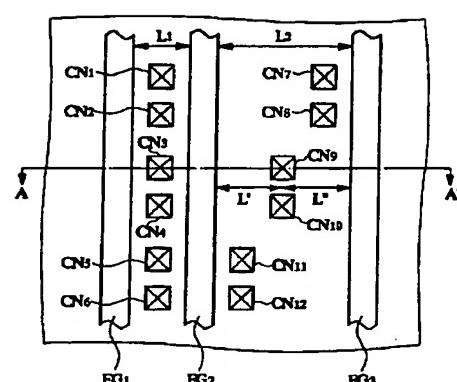
【図11】

図 11



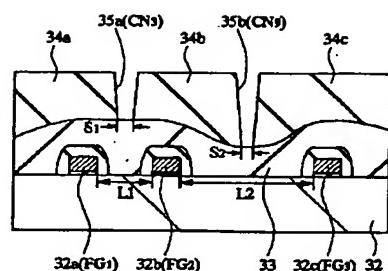
【図12】

図 12



【図13】

図 13



フロントページの続き

(72) 発明者 山口 泰紀
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 小野塙 利彦
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 堀田 尚二
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 野村 恵子
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 森田 正行
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング
株式会社内